

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-153570

(43)Date of publication of application : 13.06.1990

(51)Int.Cl.

H01L 29/74

H01L 29/06

H01L 29/784

(21)Application number : 63-306898

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.12.1988

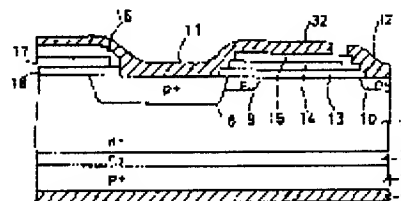
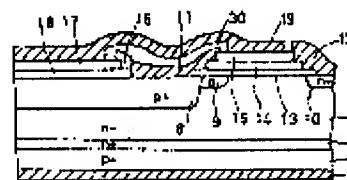
(72)Inventor : MINAMI YOSHIHIRO
SHINOHE TAKASHI

(54) SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To make an effective area which functions as an element as large as possible by a method wherein a wiring lead-out electrode is formed on a junction terminal region located at a peripheral part of a planar type element.

CONSTITUTION: A gate electrode wiring lead-out electrode 19 insulated from a source electrode 11 through the intermediary of an insulating film 30 is provided in a junction terminal region of an insulating film 13, a high resistive film 14, an insulating film 15, and others located at the peripheral part of a conduction modulation type MOSFET or the like of a planar element, and potential of the electrode 19 is shielded by the high resistive film 14. By this setup, the potential of the electrode 19 has no effect on the electric field of the junction terminal region. A cathode electrode lead-out electrode 32 of a source electrode is similar to the electrode 19, whereby a semiconductor element of this design can be made as large as possible in effective area which functions as an element and consequently improved in current drive performance.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-153570

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月13日

H 01 L 29/74
29/06
29/784

N 7376-5F
8526-5F

8422-5F H 01 L 29/78 3 2 1 J

審査請求 未請求 請求項の数 4 (全7頁)

⑭ 発明の名称 半導体素子

⑰ 特 願 昭63-306898

⑱ 出 願 昭63(1988)12月6日

⑲ 発 明 者 南 良 博 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑲ 発 明 者 四 戸 孝 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

(1) プレーナ型の素子であって、素子周辺部の接合終端領域の高抵抗フィールドプレート上に絶縁膜を介して配線引き出し用電極部の一部、もしくは全部を形成したことを特徴とする半導体素子。

(2) 前記プレーナ型の素子は第1導電型エミッタ層に接して第2導電型ベース層を有し、第2導電型ベース層の表面部に第1導電型ベース層及び第2導電型エミッタ層が拡散形成され、前記第2導電型エミッタ層と第2導電型ベース層とに挟まれた第1導電型ベース層の表面に絶縁膜を介してゲート電極が設けられ、前記第1導電型エミッタ層に第1の主電極が、第2導電型エミッタ層と第1導電型ベース層に第2の主電極が共通に設けられた導電変調型MOSFETであって、

前記配線引き出し用電極部はゲート電極、第2の主電極のうちいずれか、もしくはこれら両方の

配線引き出し用であることを特徴とする請求項1記載の半導体素子。

(3) 前記ゲート電極の配線引き出し用電極部は、第2の主電極上に形成した絶縁膜を介して素子周辺部の接合終端領域上に引き出されたことを特徴とする請求項2記載の半導体素子。

(4) 前記プレーナ型の素子は、第1導電型エミッタ層に接して第2導電型ベース層を有し、第2導電型ベース層の表面部に第1導電型ベース層及び第2導電型エミッタ層が拡散形成され、前記第2導電型エミッタ層と第2導電型ベース層とに挟まれた第1導電型ベース層の表面に絶縁膜を介してゲート電極が設けられ、前記第1導電型エミッタ層に第1の主電極が、第2導電型エミッタ層に第2の主電極が、第1導電型ベース層に制御電極がそれぞれ形成された絶縁ゲート付ターンオフサイリスタであって、前記配線引き出し用電極部はゲート電極、制御電極、第2の主電極のうちいずれか、もしくはこれらの組み合わせもしくはこれら全部の配線引き出し用であることを特徴とする請

求項1記載の半導体素子。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は半導体素子に係わり、特に有効動作領域の増大をはかったプレーナ型の半導体素子に関する。

(従来技術)

半導体素子の電極から配線を引き出すためには、素子表面に大きな面積をも配線引き出し用電極部が必要である。

プレーナ型の素子で高耐圧を得ようとするとき、接合終端領域の幅が大きくなってしまふ。以上の2点から特に高耐圧プレーナ型素子では素子として動作する領域が小さくなってしまふため素子の電流駆動能力が低下してしまふという問題点がある。

以下、高耐圧プレーナ型素子の一例として、導電変調型MOSFETと絶縁ゲート付ターンオフサイリスタの例を挙げて説明する。第4図(a)は導電変調型MOSFETの素子構造を示す平面図であり、第4

図(b)、第4図(c)、第4図(d)はそれぞれ第4図(a)の矢視A-A'断面、B-B'断面、C-C'断面を示す。図において、2はp型ドレイン層、3はn⁺型ベース層、4はn⁻型ベース層、5はp型ベース層、6はp⁺型層、7はn型ソース層である。

n型ソース層7とp⁺型層6には共通にソース電極11が、p型ドレイン層2にはドレイン電極1がそれぞれオーミックに取り付けられている。16は絶縁膜である。

また、n型ソース層7とn⁻型ベース層4との間に挟まれたp型ベース層5の表面には、ゲート絶縁膜18を介して多結晶シリコンゲート17が形成され、導電変調型MOSFETの素子部を構成している。この導電変調型MOSFETは基本的にサイリスタ構造であるため、高耐圧素子でありながらも電流駆動能力を大きくすることができる。この例では高耐圧を得るための接合終端構造として高抵抗フィールドプレート構造を採用している。8はp⁺型層、9はp⁻型層、10はn⁺型層である。n⁺型層10には電極12が取り付けられている。13、15は絶縁膜、14

は高抵抗膜であり、これらによって接合終端領域を構成している。

第4図(a)のゲート電極配線引き出し用電極部19は、多結晶シリコンゲート17にオーミック接続され、またソース電極配線引き出し用電極部35はソース電極11と一体になって素子外部へ配線引き出しを可能にしている。しかし同図(a)からわかるように配線引き出し用電極部と接合終端領域の面積が大きいため、素子として動作する面積は小さくなってしまふ。1800V耐圧導電変調型MOSFETを例に挙げるとゲート電極配線引き出し用電極部は1.5mm×0.5mm、接合終端領域幅は400μmを必要とする。素子全体の大きさを6mm×6mmとしたとき素子内の全面積の73%、接合終端領域を除く面積ではその97%を有効利用しているに過ぎない。

次に第5図(a)は絶縁ゲート付ターンオフサイリスタの素子平面図であり、同図(b)、(c)、(d)はそれぞれ第5図(a)の矢視A-A'断面、B-B'断面、C-C'断面を示す。同図(b)において、21はp型エミッタ層、22はn⁺型バッファ層、23は

n型ベース層、29はp型ベース層、28はp⁺型層、36はn⁺エミッタ層である。n⁺型エミッタ層36には、カソード電極24が、p⁺型層28には制御電極25がp型エミッタ層21にはアノード電極20がそれぞれオーミックに取付けられている。15、30は絶縁膜である。

またn型ベース層23とn⁺型エミッタ層36との間に挟まれたp型ベース層29の表面にはゲート絶縁膜18を介して多結晶シリコンゲート17が形成され、絶縁ゲート付ターンオフサイリスタの素子部を構成している。接合終端構造は導電変調型MOSFETと同じく高抵抗フィールドプレート構造である。

5、27はp型ベース層、6、26はp⁺型層、9はp⁻型層、10はn⁺型層である。p⁺型層26にはカソード電極24が、n⁺型層10には電極12が取り付けられている。13、15、30は絶縁膜、14は高抵抗膜であり、これらによって接合終端領域を構成している。

第5図(a)のゲート電極配線引き出し用電極部19は多結晶シリコンゲート17にオーミック接続され、制御電極25は制御電極配線引き出し部33に、

カソード電極24はカソード電極配線引き出し部32に接続され素子外部への配線引き出しを可能にしている。ところがこの場合は配線引き出し用電極部が3箇所あるために、導電変調型MOSFETの場合よりも更に有効利用面積が小さくなっている。2500V耐圧絶縁ゲート付ターンオフサイリスタと例に挙げると、ゲート電極、制御電極、カソード電極の配線引き出し用電極部はそれぞれ1.5mm×0.5mm、接合終端領域幅は600μmを必要とする。素子全体の大きさを6mm×6mmとしたとき、素子内の全面積に対する利用率は58%、接合終端領域を除いた面積に対する利用率は90%にまで低下してしまう。

(発明が解決しようとする課題)

このようにプレーナ型素子では、接合終端領域と配線引き出し用電極部の存在によって、素子の有効利用面積が小さくなるため、電流駆動能力も小さくなってしまふ。

本発明は上記事情を考慮してなされたもので、その目的とするところは、素子の外側領域に設置

可能な電極は可能な限り接合終端領域上に設置し、素子として動作する有効面積を可能な限り広くした半導体素子を提供することにある。

(発明の構成)

(課題を解決するための手段)

本発明の骨子は素子の有効利用面積を増加するために、素子周辺部の接合終端領域の高抵抗フィールドプレート上に絶縁膜を介して配線引き出し用電極部の一部、もしくは全部を形成することにある。

(作 用)

本発明によれば、高抵抗フィールドプレート上に絶縁膜を介して配線引き出し用電極部が形成されるので、配線引き出し用電極部の電位は高抵抗フィールドプレートによりシールドされ、接合終端領域の電界に影響を及ぼさない。従って、素子の耐圧を低下させることなく配線引き出し用電極部を接合終端領域上に形成することができる。その結果、素子の有効利用面積を大きくできるので電流駆動能力を大きくすることができる。

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。なおこの実施例では第1導電型としてp型、第2導電型としてn型を用いている。

第1図(a)は本発明の第1の実施例である導電変調型MOSFETの素子構造を示す平面図であり、同図(b)、(c)、(d)はそれぞれの第1図(a)の矢視A-A'断面、B-B'断面、C-C'断面を示す。30は絶縁膜である。なお、従来例として示した第4図と対応する部分は同一符号を付してその詳しい説明は省略する。

前記第4図に示す素子構造で素子中央部に敷設されていたゲート電極配線引き出し用電極部19はこの実施例では、ソース電極11及びソース電極配線引き出し用電極部35の形成後に絶縁膜30と絶縁膜15を介して接合終端領域の高抵抗膜14上に形成されており、配線引き出し用電極部の電位は、高抵抗膜14によりシールドされ、接合終端領域の電界に影響を及ぼさない。

また、この素子構造において、ソース電極11は

接合終端部のメタルフィールドプレートとしても使われているため耐圧低下を避けるためには一部といえどもこのメタルフィールドプレート部を欠くことはできない。従ってメタルフィールドプレート部とゲート電極の接合終端領域への引き出し部の交差箇所は第1図(c)に示すように、ソース電極11の上に絶縁膜30を介してゲート電極31が形成された構造になっている。

尚、本実施例では第1図(d)にソース電極配線引き出し用電極部32を接合終端領域上に拡張した場合も併せて示している。

このような構成であれば、耐圧を低下させることなく素子の有効利用面積を大きくとることができる。

このようにして第1図(a)に示すように、配線引き出し用電極部を全て接合終端領域上に敷設し、従来例と同じ1800V耐圧導電変調型MOSFETを例に挙げると、接合終端領域幅は400μm、素子全体の大きさは6mm×6mmであり、素子内の全面積に対する有効利用率は75%、接合終端領域を除いた面

積に対しては、有効利用率はほぼ100%となる。かくして本実施例によれば、小型でありながら、大きな電流駆動能力を持つ導電変調型MOSFETを実現することができる。

尚、第1の実施例の変形として第2図に本発明の第2の実施例である導電変調型MOSFETの素子平面図を示す。

第1図の実施例で素子中央部にあったゲート電極31取出し用幅広部分は第2の実施例では除去され、多結晶シリコンゲート17へのゲート電極31の接続はストライプ状の多結晶シリコンゲート17の端部で行われている。このような構成であれば、第1の実施例よりもさらに大きな面積の有効利用率が得られる。

次に、第3図(a)は本発明の第3の実施例である絶縁ゲート付ターンオフサイリスタの素子構造を示す平面図であり、同図(b)、(c)、(d)はそれぞれ(a)の矢視A-A'断面、B-B'断面、C-C'断面を示す。34は絶縁膜である。なお、従来例として示した第5図と対応する部分は同一符号

ゲート電極31が形成された構造になっている。

このような構成であれば、耐圧を低下させることなく、素子の有効利用面積を大きくとることができる。第3図(a)に示すように各電極の配線引き出し用電極部を全て接合終端領域上に敷設し、従来例と同じ2500V耐圧絶縁ゲート付ターンオフサイリスタを例にあげると接合終端領域幅は600 μ m、素子全体の大きさは6mm \times 6mmであり、素子内の全面積に対する有効利用率は64%、接合終端領域を除いた面積に対しては、有効利用率はほぼ100%となる。

かくして本実施例によれば、小型でありながら、大きな電流駆動能力を持つ絶縁ゲート付ターンオフサイリスタを実現することができる。

なお、本発明は上述した実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

(発明の効果)

以上詳述したように本発明によれば、接合終端領域の高抵抗フィールドプレート上に絶縁膜を介

を付して、その詳しい説明は省略する。この実施例では制御電極25を形成した後、絶縁膜30を介して、カソード電極24とのその配線引き出し用電極部32とを形成しさらに、絶縁膜34を介してゲート電極配線引き出し用電極部19と制御電極配線引き出し用電極部33とを形成している。

カソード、ゲート、制御電極のそれぞれの配線引き出し用電極部は接合終端領域の高抵抗膜14上に絶縁膜を介して形成されており、高抵抗膜14のシールド効果によって接合終端領域の電界に影響を及ぼすことはない。

またこの素子構造においてカソード電極24は接合終端部のメタルフィールドプレートとしても使われているため耐圧低下を避けるためには一部といえどもこのメタルフィールドプレート部を欠くことはできない。

従って、メタルフィールドプレート部とゲート、制御電極の接合終端領域への引き出し部の交差箇所は第3図(b)、(c)に示すようにカソード電極24の上に絶縁膜34を介して、それぞれ制御電極25、

して配線引き出し用電極部が形成されるので、配線引き出し用電極部の電位は高抵抗フィールドプレートのシールド効果により、接合終端領域の電界に影響を及ぼさない。従って素子の耐圧を低下させることなく配線引き出し用電極部を接合終端領域上に形成することができる。その結果、素子の有効利用面積を大きくできるので、電流駆動能力を大きくすることができる。

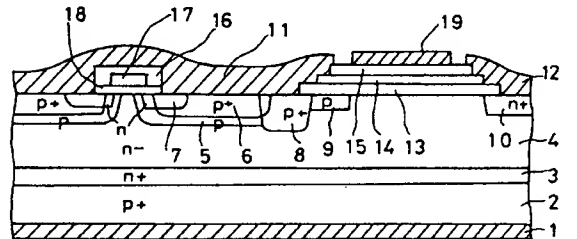
4. 図面の簡単な説明

第1図は本発明の第1の実施例に係わる導電変調型MOSFETの概略構成を示す説明図、第2図は第2の実施例に係わる導電変調型MOSFETの概略構成を示す平面図、第3図は第3の実施例に係わる絶縁ゲート付ターンオフサイリスタの概略構成を示す説明図、第4図は従来例として示した導電変調型MOSFETの概略構成を示す説明図、第5図は同じく従来例として示した絶縁ゲート付ターンオフサイリスタの概略構成を示す説明図である。

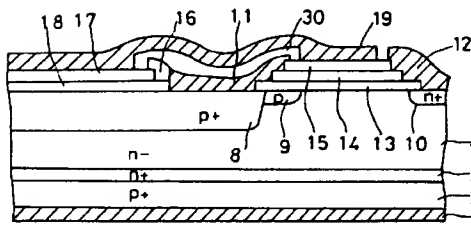
- | | |
|--------------------------|--------------------------|
| 1 … ドレイン電極 | 2 … p型ドレイン層 |
| 3 … n ⁺ 型ベース層 | 4 … n ⁻ 型ベース層 |

-

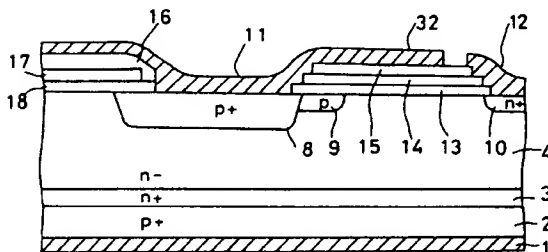
(b)



第 1 図

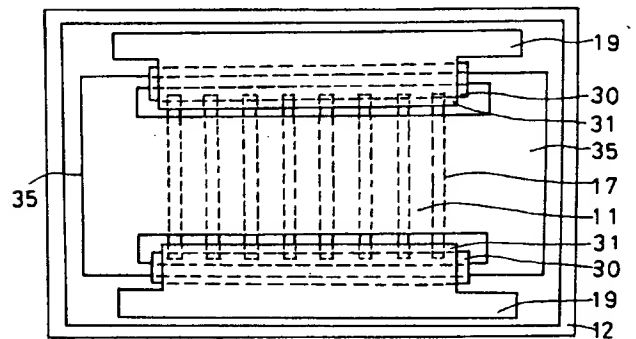


(c)

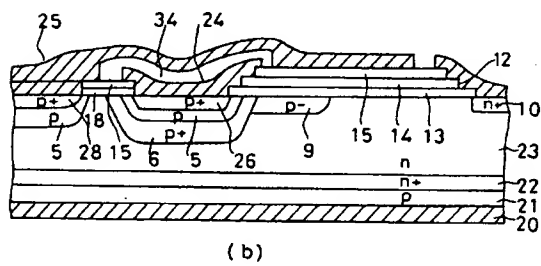
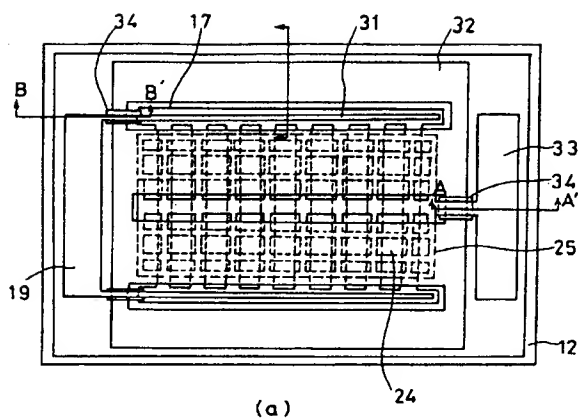


(d)

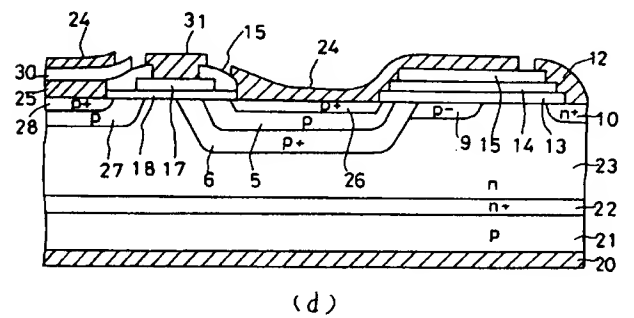
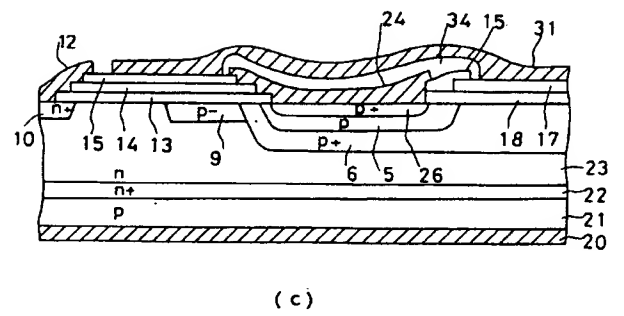
第 1 区



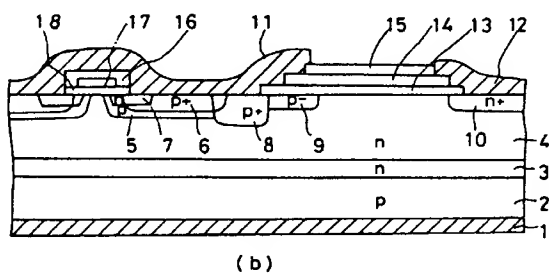
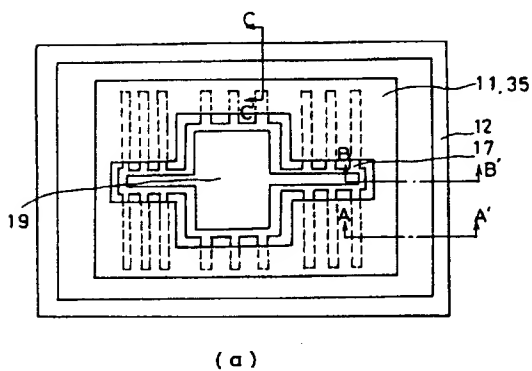
第 2 図



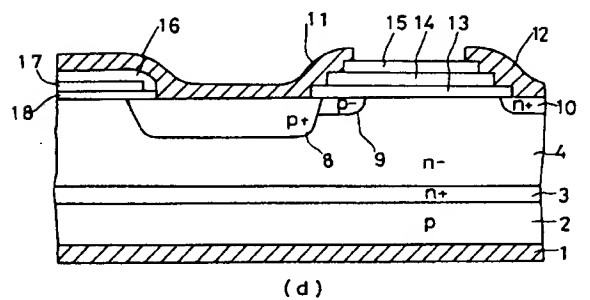
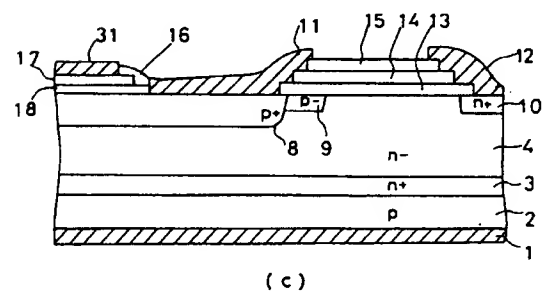
第 3 図



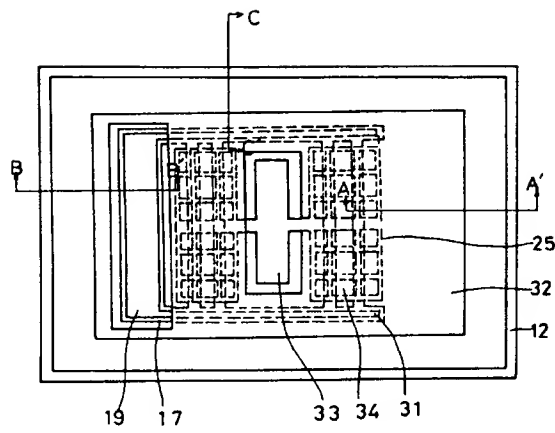
第 3 図



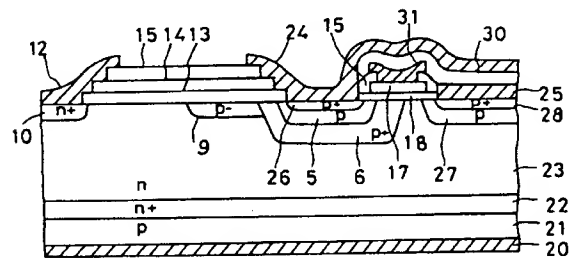
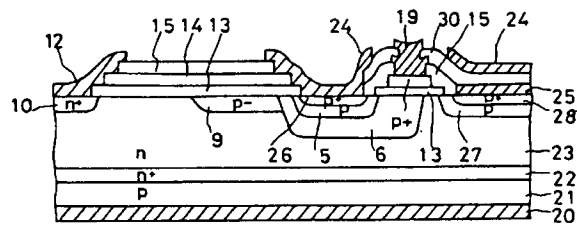
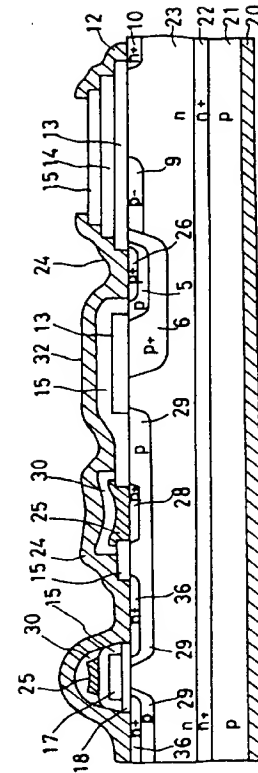
第 4 図



第 4 図



第 5 区



(a)

第 5 题